

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 2 4 1 2 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 4 1 2 7]

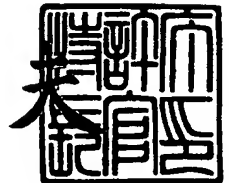
出 願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 6 6 8 2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Koichi Kishiro

Serial No.: 10/761,187

Filed: January 22, 2004



Group Art Unit: 2822

Examiner: C. Novacek

Confir. No.: 2712

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Date: September 19, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-324127 filed September 17, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

A handwritten signature in black ink, appearing to read "Andrew J. Telesz, Jr.".

Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (571) 283-0720
Fax. (571) 283-0740

【書類名】 特許願
【整理番号】 OH003864
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
 【氏名】 木城 耕一
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

支持体と、該支持体の上側表面の全面に設けられた中間絶縁層とを具えるウエハを処理して半導体装置を製造するに当り、

(a) 前記ウエハの周辺のエッジ領域（以下、単にウエハエッジ領域という。）上の、前記中間絶縁層の層部分を、レジストパターンを用いたエッチングにより除去して、該ウエハエッジ領域に対応する、前記支持体のエッジ表面領域を露出する工程と、

(b) 露出された該エッジ表面領域と残存している中間絶縁層とを上側から覆うように、スパッタリングにより導電層を形成する工程とを具えることを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストパターンを形成する工程は、前記 (a) 工程の前工程として、

前記中間絶縁層の上側表面の全面にレジスト膜を形成する工程と、

該レジスト膜の、前記ウエハエッジ領域に対応するレジストエッジ領域に対して、露光装置の周辺露光機能を用いて、周辺露光を行う工程と、

周辺露光された前記レジスト膜のレジストエッジ領域を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストパターンを形成する工程は、前記 (a) 工程の前工程として、

前記中間絶縁層の上側表面の全面にレジスト膜を形成する工程と、

該レジスト膜の、前記ウエハエッジ領域に対応するレジストエッジ領域を、前記レジスト膜の上側表面に、スピンコート装置を用いて、薬液を塗布して除去する工程と、

残存する前記レジスト膜に露光する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 ～ 3 のいずれか一項に記載の半導体装置の製造方法において、

前記支持体を半導体材料で形成することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 ～ 3 のいずれか一項に記載の半導体装置の製造方法において、

前記支持体を導体材料で形成することを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置の製造方法

【技術分野】

【0001】

この発明は、半導体装置の製造方法、特にスパッタリング或いはドライエッチングなどによりウエハに蓄積する電荷の影響を小さくする半導体装置の製造方法に関する。

【背景技術】

【0002】

一般にゲートを形成した後の配線工程では、高温熱処理をすると酸化雰囲気や層間絶縁膜により配線材料のAl、Ti、Wなどが酸化する恐れがある。したがって、この酸化を防ぐために、400℃以下の熱しか加えられない。このような400℃程度の処理温度でエッチングしたり、埋め込み性を保って絶縁膜を堆積するために、ウエハはプラズマ雰囲気さらされることが多い。また、メタルのスパッタリング時にもプラズマ雰囲気にさらされる。これらのプラズマ雰囲気中では、加速されたイオンや電子がウエハに衝突し、ウエハに電荷が注入される。

【0003】

通常のバルクウエハであれば、ウエハに入った大部分の電荷は、支持基板へ流れるため、デバイスがチャージアップする可能性は低い。しかし、SOIウエハは、支持基板とウエハ表面のSOI層との間に埋め込み酸化膜(BOX (Buried Oxide) 酸化膜ともいう。)があるため、ウエハから流れ込んだチャージは、素子の絶縁性の弱い箇所で見界集中を起こして、信頼性を低下させたり、絶縁膜を破壊したりする。

【0004】

これまでの半導体プロセスでは、微細化に伴って、ゲート絶縁膜が薄膜化している。ゲート電極自身は、ゲート絶縁膜を介してSi基板と絶縁されており、エッチング時にプラズマ雰囲気によるチャージが溜まると、薄いゲート絶縁膜は破壊される恐れがある。このため、ゲートエッチングやSW (Side Wall) エッチングで使用する装置は、チャージがウエハへ流れにくい仕組みになっている。また、ゲート材料にポリシリコンを使用すれば、高温の熱処理が可能のため、プラズマダメージがなく、埋め込み性の優れたLPCVD (Low Pressure Chemical Vapor Deposition) 装置(成膜温度: 700~800℃)などを使った層間絶縁膜堆積が一般的である。

【0005】

Al配線を形成する際に起こるチャージアップによるダメージを防ぐ方法として、例えば特許文献1では、グリッドライン上のシリコン基板に露出部を設けた後にグリッドラインを跨いで配線パターンを形成することによって基板へ通じる電流経路を形成する方法が提案されている。

【0006】

また、SOIウエハにおいて、BOX酸化膜204によって絶縁されたSOI層とSi支持基板との間に導通路を設けて基板電位をコントロールする方法がいくつか提案されている。特許文献2では、基板コンタクトを形成することによって、SOI層側とSi支持基板を絶縁している埋め込み酸化膜に基板コンタクトを形成する方法が提案されている。特許文献3では、スクライプ予定領域近傍に、Si支持基板とSOI層を導通するための短絡導体を形成する方法が提案されている。特許文献4では、スクライプラインで切断することによりSi支持基板と埋め込み酸化膜の上部のSOI層を導通する方法が提案されている。

【特許文献1】特開平2-280321号公報

【特許文献2】特開2001-177098号公報

【特許文献3】特開平6-244239号公報

【特許文献4】特開2002-164547号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

トランジスタ形成工程での層間絶縁膜堆積には、チャージングダメージの心配のないLP-CVDが主に使用される。一方、最近になって、比較的低温で行えるAP-CVD (Atmospheric Pressure Chemical Vapor Deposition) 装置が、開発され始めているが、この装置は埋め込み性に問題がある。また、ゲートエッチングでは、ドライエッチングが主流であり、薄いゲート絶縁膜へ電荷が溜まりにくいようにした装置が用いられる。

【0008】

しかし、トランジスタ形成後の配線工程用のメタルスパッタや、ドライエッチングでは、プロセスによるチャージングダメージがあまり考慮されていない。

【0009】

図6は、SOIウエハ200を用いた半導体装置の製造方法における配線工程で、スパッタリングによるメタル層の堆積で電荷が蓄積される様子を一部分の断面切り口によって概略的に示した図である。図中、左端がウエハエッジ222にあたり、ウエハエッジからウエハ中心方向（ここでは右方向）に向かって5mm程度までの周辺の領域であるウエハエッジ領域224には、半導体素子は形成されない。ウエハエッジ領域224よりもウエハ中心よりの領域がデバイス形成領域であり、ここに各種のデバイスが形成される。

【0010】

ここで、SOIウエハ200は、Si支持基板202、BOX酸化膜204及びSOI層206からなり、埋め込み酸化膜であるBOX酸化膜204により、Si支持基板202とSOI層206とは絶縁されている。SOIウエハ200に形成された個々のデバイスは、素子間分離領域208で分離されている。図6では詳細な記載は省略し、ゲート絶縁膜210及びゲート電極212を示している。デバイスの形成されたSOIウエハ200の上側には、層間絶縁膜214が成膜されており、ゲート電極212の上部には、上層の配線と接続するためのコンタクト216が形成されている。

【0011】

この層間絶縁膜214及びコンタクト216の上側の表面に、後にパターニングして配線とするための導電層218をスパッタリングにより成膜する。このとき、スパッタリング中に発生するウエハ表面のチャージ（図中では、スパッタリングによる電荷注入220として矢印で示す。）が、コンタクト216を通してデバイス中に溜まる恐れがある。これらの電荷は、絶縁性の弱い箇所を劣化させたり、絶縁破壊を引き起こしたりする。デバイス中に溜まった電荷は、埋め込み酸化膜によって絶縁されているため、抜ける場所がなく、想定した電界以上のストレスがかかる可能性があり、デバイスの信頼性を低下させる。

【0012】

このようなプロセスで形成されたデバイスは、絶縁破壊によるリーク電流の発生や、トランジスタ特性の変動により、不安定な歩留まり結果になる。

【0013】

よって、この発明は、SOIウエハのように、中間に絶縁層が埋め込まれていることによって起こる、メタルスパッタやドライエッチングによる電荷の蓄積を軽減することにより、チャージアップによるデバイスの歩留まり低下を防ぐことを目的とする。

【課題を解決するための手段】

【0014】

上述した問題の解決を図るため、デバイス形成には用いられないウエハの周辺のエッジ領域すなわちウエハエッジ領域をスパッタリング中の電荷の移動に利用する。すなわち、支持体と、支持体の上側表面の全面に設けられた中間絶縁層とを具えるウエハを処理して半導体装置を製造するに当たり、ウエハの周辺のエッジ領域（以下、単にウエハエッジ領域という。）上の、中間絶縁層の層部分を、レジストパターンを用いたエッチングにより除去して、ウエハエッジ領域に対応する、支持体のエッジ表面領域を露出する（a）工程と、露出されたエッジ表面領域と残存している中間絶縁層とを上側から覆うように、スパッタリングにより導電層を形成する（b）工程とを具える。

【0015】

ここで、ウエハエッジ領域とは、ウエハを表面側から見て、ウエハエッジからウエハ中心に向かって5mm程度までの周辺の領域であり、通常デバイスの形成には用いない領域である。

【発明の効果】

【0016】

この発明の半導体装置の製造方法によれば、スパッタリングによって堆積される導電層が支持体と接しているため、スパッタリングを行う間に生じる電荷を支持体側へ逃がすことができる。これにより、絶縁膜の劣化を抑制し、信頼性を損なうことなくウエハ上にデバイスを形成できる。

【0017】

また、Si支持基板と導電層を接続するために用いるウエハエッジからウエハ中心側へ5mm程度の支持基板の表面の領域は、もともとデバイスとして利用できない領域であるため、エッチングしても歩留まりに影響がない。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照して、この発明を実施するための最良の形態を説明する。尚、製造方法を説明する各図は、製造工程の各段階で得られる構造体の断面切り口を概略的に示している。また、構造体を構成する各構成要素の大きさ、形状及び配置関係は、この発明が理解できる程度に概略的に示してある。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0019】

<第1の実施の形態>

図1及び2を参照して、第1の実施の形態の半導体装置の製造方法を説明する。第1の実施の形態では、SOIウエハ上に配線を形成する工程を例として示す。ここでは、支持体として半導体材料で構成される例えばSi支持基板102とし、中間絶縁層を例えばBOX酸化膜104とし、導電層をスパッタリングによって形成される導電層として順次に積層形成されているSOIウエハ100を例に挙げて説明する。

【0020】

図1(A)は、SOIウエハ上に半導体装置を製造する工程の途中の段階を示したものである。Si支持基板102、BOX酸化膜104、及びSOI層106が順に積層されたSOIウエハ100の上側表面には、層間絶縁膜108が積層されている(図1(A))。図1及び2において、図中、左端部がウエハエッジ112であり、デバイス形成領域116のSOI層106及び層間絶縁膜108中には、ここでは記載を省略したが、素子間分離領域、ゲート絶縁膜、ゲート電極、コンタクトなどを具えた半導体素子が形成されている。

【0021】

次いで、層間絶縁膜108の上側表面上にレジスト膜110を塗布する。レジスト膜110は、ポジ型レジストを用いる。このポジ型レジストを周辺露光してウエハエッジ領域114のレジスト膜部分を除去する。このレジスト膜110の、ウエハエッジ領域114に対応するレジストエッジ領域のみを周辺露光118により露光する(図1(B))。通常のホトリソエッチングでは、マスクパターンを用いて露光する場所を限定するが、ここでは、露光装置の周辺露光機能によって、マスクパターンを用いずに露光する。

【0022】

露光装置の周辺露光機能とは、ウエハの周辺部すなわちこの実施の形態におけるウエハエッジ領域にのみ露光を行う機能である。一般の露光装置に標準で搭載されている機能ではないが、例えば、東京エレクトロン株式会社製の露光装置には、付加機能として周辺露光機能を搭載することができる。

【0023】

周辺露光後、現像処理を行うことによりレジストパターン110aが形成できる(図1

(C))。このレジストパターン 110a が形成されたウエハ全体像を図 3 (A) 及び (B) に概略的に示す。尚、図 3 (A) は、形成したレジストパターン 110a をウエハの上側から見た平面図である。図 3 (B) は、図 3 (A) の X-X で示した破線によって切断した断面図である。

【0024】

次に、レジストパターン 110a をマスクとして、層間絶縁膜 108 の露出された層部分とその下側の SOI ウエハ 100 のウエハエッジ領域に対してドライエッチングを行って、Si 支持基板 102 のエッジ表面領域 120 を露出させる (図 1 (D))。

【0025】

次に、レジストパターン 110a を除去し、後の工程により配線となる導電層 122 を露出されたエッジ表面領域 120 と残存している中間絶縁層である BOX 酸化膜 104 とを上側から覆うようにスパッタリングにより成膜する (図 2 (A))。ここでは、この導電層 122 を残存するウエハ 100 上側表面の全体を覆うように形成する。すなわち、この導電層 122 は、層間絶縁膜 108 の上側表面からその側面を経て Si 支持基板 102 の露出された表面にわたって途切れることなく形成される。

【0026】

ついで、導電層 122 を公知のホトリソ・エッチング技術により、配線 122a にパターニングする (図 2 (B))。

【0027】

図 4 は、第 1 の実施の形態でのスパッタリング中の電荷の移動を説明するための図である。製造工程の説明図では省略した、SOI 層 106 中に形成された素子間分離領域 124、ゲート絶縁膜 126、ゲート電極 128 及びコンタクト 130 も示している。図 6 に示した従来のスパッタリングによる導電層の形成では、BOX 酸化膜によって Si 支持基板への導通が遮断されていたため、スパッタリングによる電荷が蓄積されていた。これに対し、第 1 の実施の形態では、Si 支持基板 102 のウエハエッジ領域の表面を露出してから、スパッタリングにより導電層 122 を形成している。従って、スパッタリングによる電荷注入 132 によって導電層 122 に蓄積された電荷は、Si 支持基板 102 の導電層 122 と接しているエッジ表面領域 120 から Si 支持基板 102 へ流れる、すなわち移動するので、導電層 122 に電荷が蓄積されることがない。よって、ゲート絶縁膜の絶縁破壊等のデバイスに生じる不具合を防ぐことができる。

【0028】

また、配線 122a のパターニング工程でのドライエッチングの際に生じる電荷も、途中の段階までは導電層 122 が Si 支持基板 102 と接続された状態であるため、Si 支持基板 102 へ逃がすことが可能である。よって、従来の製造方法よりも、このエッチング工程でも電荷の蓄積を軽減することができる。

【0029】

第 1 の実施の形態では、ウエハエッジ領域におけるレジスト膜のレジストエッジ領域を除いたレジストパターン 110a を形成するために、露光装置の周辺露光機能を用いた。レジストパターン 110a を形成する方法としては、レジスト膜を塗布するために用いるスピンコート装置を使うこともできる。

【0030】

一般にスピンコート装置には、ウエハエッジ領域のみに薬液を滴下してレジストを除去する機能が備わっている。よって、レジスト膜 110 をスピンコート装置によって塗布後、レジストエッジ領域のレジスト膜部分を薬液によって溶かして除去し、その後に露光をレジスト膜全面に対して行う。この場合、レジスト膜の露光部分をレジストパターン 110a として形成するため、レジスト膜の材料は、ネガ型レジストを用いる。レジスト膜を除去するための薬液としては、例えば、PGMEA (プロピレングリコールモノメチルエーテルアセテート) を用いる。露光後、現像処理を行うことにより、ウエハエッジ領域を除くウエハ表面にレジストパターン 110a が形成できる。

【0031】

また、図3では、ウエハの形状を簡略化して、ウエハ上側から平面的に見て円形で表した。実際には、一般的なウエハでは、OF（オリエンテーションフラット）やノッチ等の切りかけ部分が形成されている。OFを備えたウエハは、ウエハ表面から平面的に見てウエハエッジが直線状になっている部分があるため、スパインコート装置でウエハエッジ領域のレジストを除去すると薬液がうまくレジスト膜に滴下できない場合がある。よって、OFを備えたウエハの場合には、周辺露光機能を用いてレジストパターン110aを形成する方がより好適である。

【0032】

この発明の実施の形態を多層配線に適用する場合には、各層の配線用の導電層をスパッタリングする前に、毎回ウエハエッジ領域の支持体の表面を露出する工程を行えば、配線用の導電層が支持体に導通するので、スパッタリングによる電荷の蓄積を防ぐことができる。

【0033】

以上、説明してきたように、この発明の第1の実施の形態によれば、SOIウエハに半導体装置を形成する際の配線工程において、Si支持基板102のウエハエッジ領域に対応するエッジ表面領域を露出した後に、スパッタリングによる導電層122の形成を行うので、導電層122と接するSi支持基板102のエッジ表面領域120から電荷がSi支持基板102へ移動することができる。よって、デバイスに電荷が蓄積されることが無く、絶縁破壊等の不具合を軽減することができ、チャージアップによるデバイスの歩留まり低下を防ぐことが可能になる。

【0034】

<第2の実施の形態>

この発明は、半導体材料或いは導体材料で形成された支持体上に形成された絶縁体層の上部に、スパッタリングする工程に対して適用できる。第1の実施の形態では、支持体が半導体材料で形成されているSOIウエハ上に形成した半導体素子の配線形成の一例について説明した。これに対して、第2の実施の形態では、支持体が導体材料で構成されているMIM（Metal-Insulator-Metal）構造のキャパシタを形成する場合について説明する。

【0035】

図5を参照して、Siウエハ140上に、MIM構造のキャパシタを形成する例について説明する。ここでは、支持体を導体材料で構成された下部メタル層146とし、絶縁層を中間絶縁膜148とし、及び導電層をスパッタリングによって形成される上部メタル層152とする例につき説明する。

【0036】

Siウエハ140の上側表面の全面上には、層間絶縁膜142が成膜されており、後の工程で形成されるキャパシタ（図示せず）を導通するためのコンタクト144が形成されている。

【0037】

この層間絶縁膜142上に、スパッタリングにより下部メタル層146を支持体として形成する。このスパッタリングにおいては、電荷がコンタクト144を通してSiウエハ140に移動することができるので、電荷の蓄積による不具合を考慮する必要はない。

【0038】

次いで、下部メタル層146の上側表面の全面上に中間絶縁膜148を成膜する（図5（A））。

【0039】

第1の実施の形態と同様に、ウエハエッジ領域114を除いたデバイス形成領域116のみにレジストパターン（図示せず）を形成する。ドライエッチングにより、このレジストパターンから露出している中間絶縁層148の層部分をエッチング除去して下部メタル層146のエッジ表面領域150を露出させる。然る後、レジストパターンを除去する（図5（B））。

【0040】

次に、中間絶縁膜148から露出している下部メタル層146のエッジ表面領域150にわたって、残存するウエハの上側表面の全体にスパッタリングにより上部メタル層152を形成する。このスパッタリングの最中は、下部メタル層146の露出したエッジ表面領域150を介して、電荷が下部メタル層146側へ移動するので、スパッタリングによる電荷の蓄積を防ぐことができる（図5（C））。

【0041】

次に、公知のホトリソ・エッチング技術によって、下部メタル層146、中間絶縁膜148及び上部メタル層152をパターニングすることによって、MIM構造のキャパシタが形成できる（図示せず）。

【0042】

以上のように、導体材料である支持体上に形成された絶縁層によって、絶縁層上側に導電層をスパッタリングする際に蓄積する電荷を、エッチングによって支持体の表面を露出することで支持体側へ移動することができる。これにより、電荷の蓄積によって生じる不具合を軽減し、デバイスの歩留まりの低下を防ぐことができる。

【0043】

導電層のスパッタリングを行う前に行う支持体表面の露出は、必ずしもウエハエッジ領域全周に対して行う必要は無いが、上述した実施の形態のようなウエハエッジ領域に対する周辺露光やレジスト膜剥離によって形成したレジストパターンを用いる場合には、ウエハの全周にわたるウエハエッジ領域の支持体表面を露出した方が、操作が簡便となり好適である。

【0044】

また、支持体の表面を露出させる領域すなわちエッジ表面領域を、デバイス形成領域のデバイスが形成される（パターニングされている）領域を除いたすべての領域とすると、最外周に形成されるデバイスの外側に、エッチングにより除去した膜の膜厚に応じた段差が発生する。サブミクロンスケールのパターン形成を行う場合、ウエハ表面にこのような段差があると、その周辺でデフォーカスによるパターン異常が起こり、最外周のデバイスで歩留まりが低下する可能性がある。よって、支持体の表面を露出させる領域は、ウエハエッジからウエハ中心に向かって5mm程度までの周辺の領域、すなわちウエハエッジ領域にすることが好ましい。

【図面の簡単な説明】

【0045】

【図1】（A）～（D）は、第1の実施の形態の半導体装置の製造方法を説明するための工程図である。

【図2】（A）及び（B）は、図1（D）の工程に続く工程図である。

【図3】（A）及び（B）は、レジストパターンの構造を示すための図である。

【図4】スパッタリング中の電荷の移動を説明するための図である。

【図5】（A）～（C）は、第2の実施の形態の半導体装置の製造方法を説明するための工程図である。

【図6】従来の半導体装置の製造工程を説明するための図である。

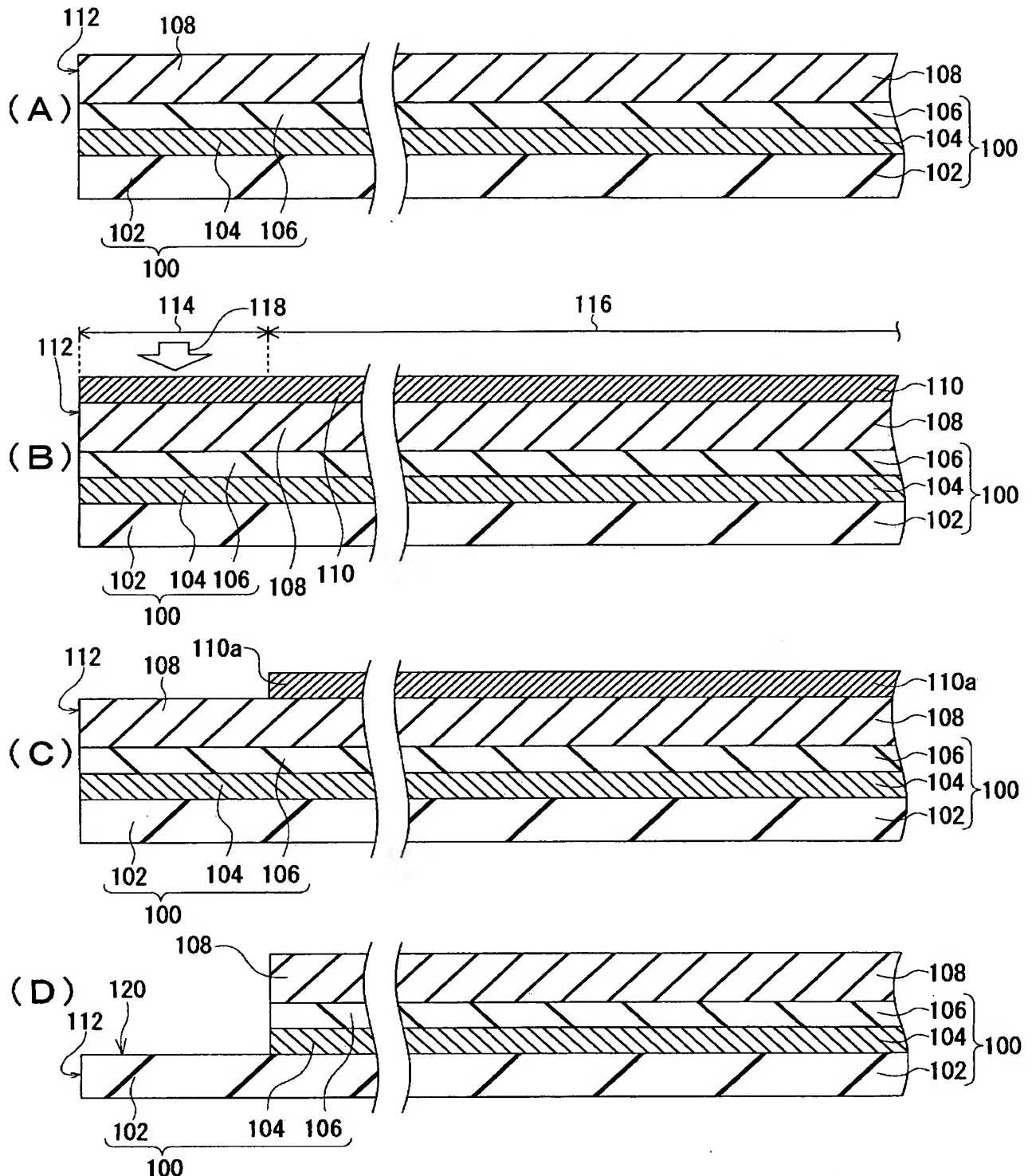
【符号の説明】

【0046】

100、200：SOIウエハ
102、202：Si支持基板
104、204：BOX酸化膜
106、206：SOI層
108、142、214：層間絶縁膜
110：レジスト膜
110a：レジストパターン
112、222：ウエハエッジ

1 1 4、2 2 4：ウエハエッジ領域
1 1 6、2 2 6：デバイス形成領域
1 1 8：周辺露光
1 2 0、1 5 0：エッジ表面領域
1 2 2、2 1 8：導電層
1 2 2 a：配線
1 2 4、2 0 8：素子間分離領域
1 2 6、2 1 0：ゲート絶縁膜
1 2 8、2 1 2：ゲート電極
1 3 0、1 4 4、2 1 6：コンタクト
1 3 2、2 2 0：スパッタリングによる電荷注入
1 4 0：S i ウエハ
1 4 6：下部メタル層
1 4 8：中間絶縁膜
1 5 2：上部メタル層

【書類名】図面
【図 1】



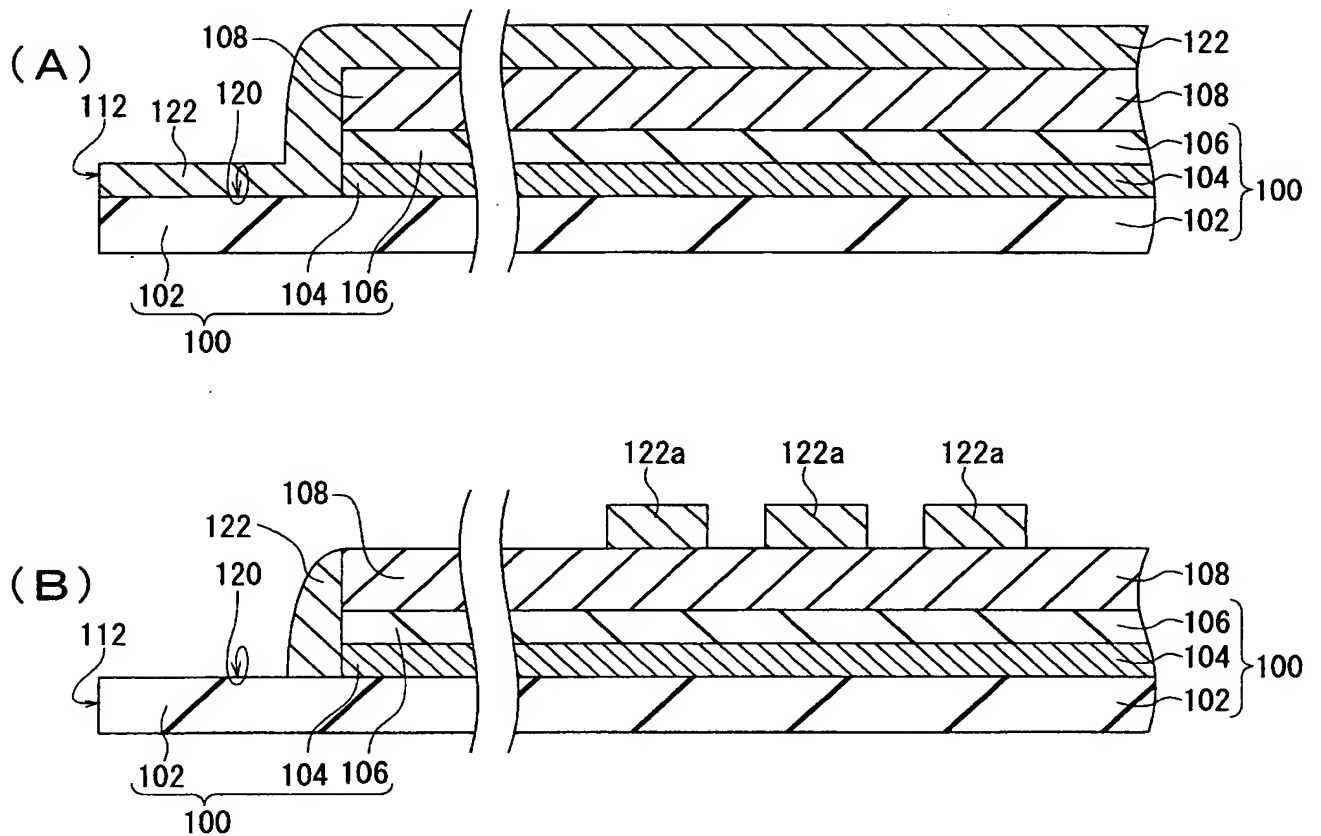
100: SOI ウエハ
106: SOI 層
110a: レジストパターン
116: デバイス形成領域

102: Si 支持基板
108: 層間絶縁膜
112: ウエハエッジ
118: 周辺露光

104: BOX 酸化膜
110: レジスト膜
114: ウエハエッジ領域
120: エッジ表面領域

第 1 の実施の形態の製造工程

【図 2】

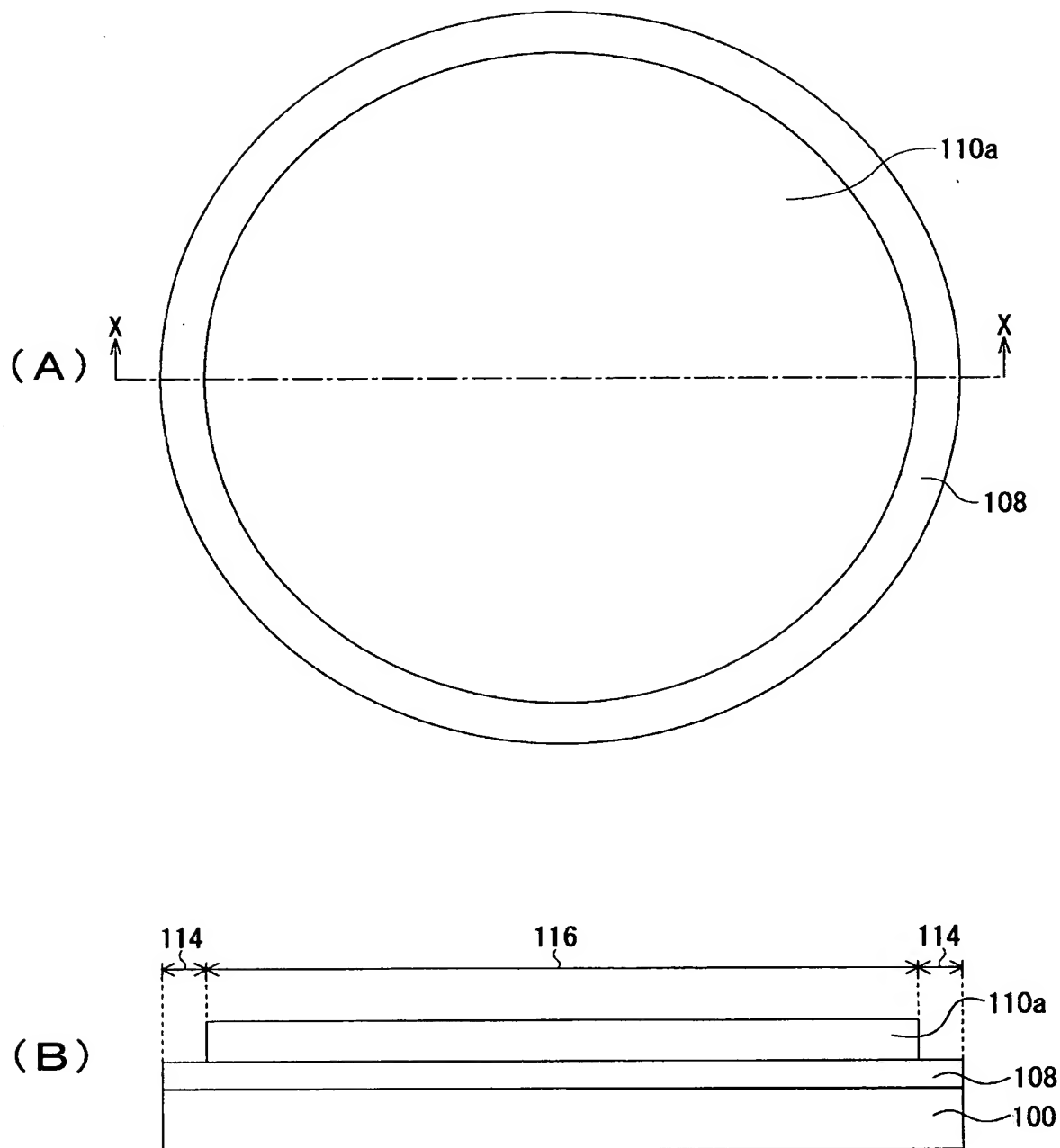


122:導電層

122a:配線

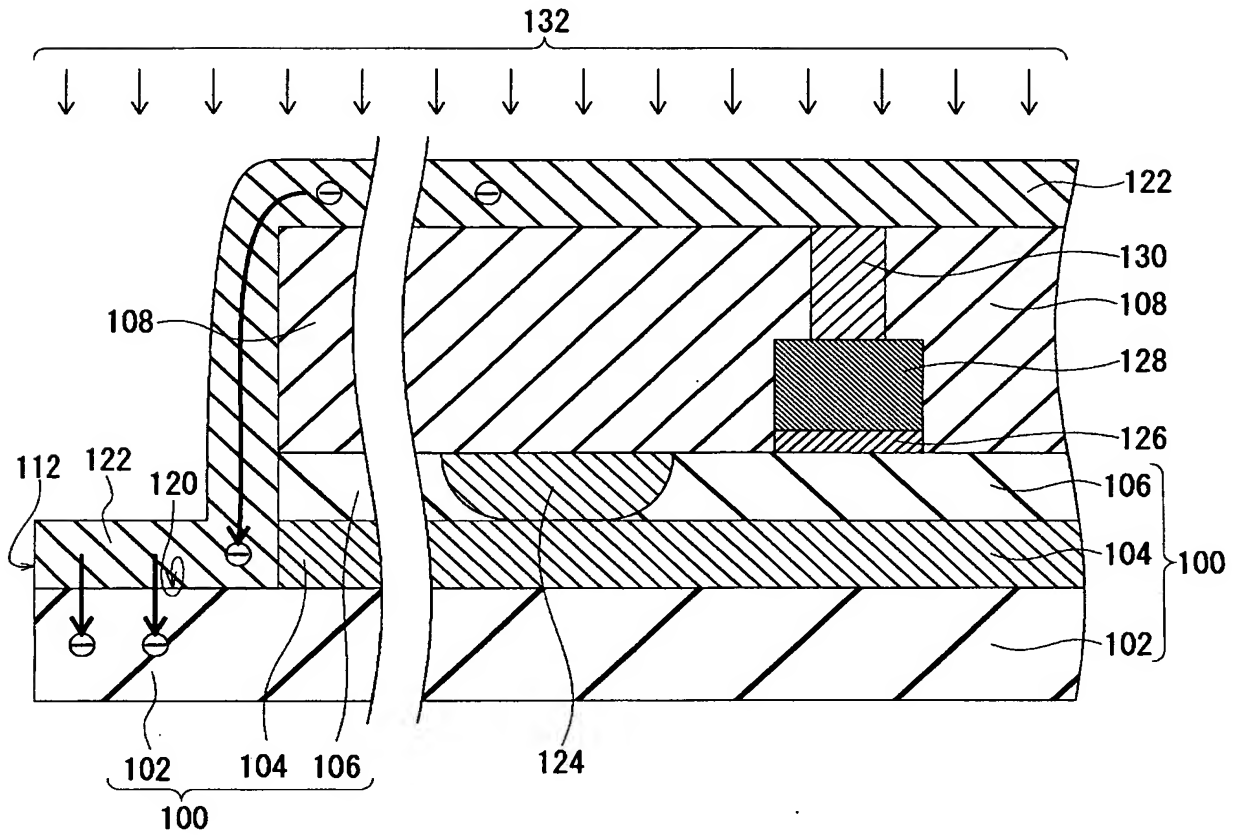
第 1 の実施の形態の製造工程

【図 3】



第 1 の実施の形態のレジストパターン

【図 4】

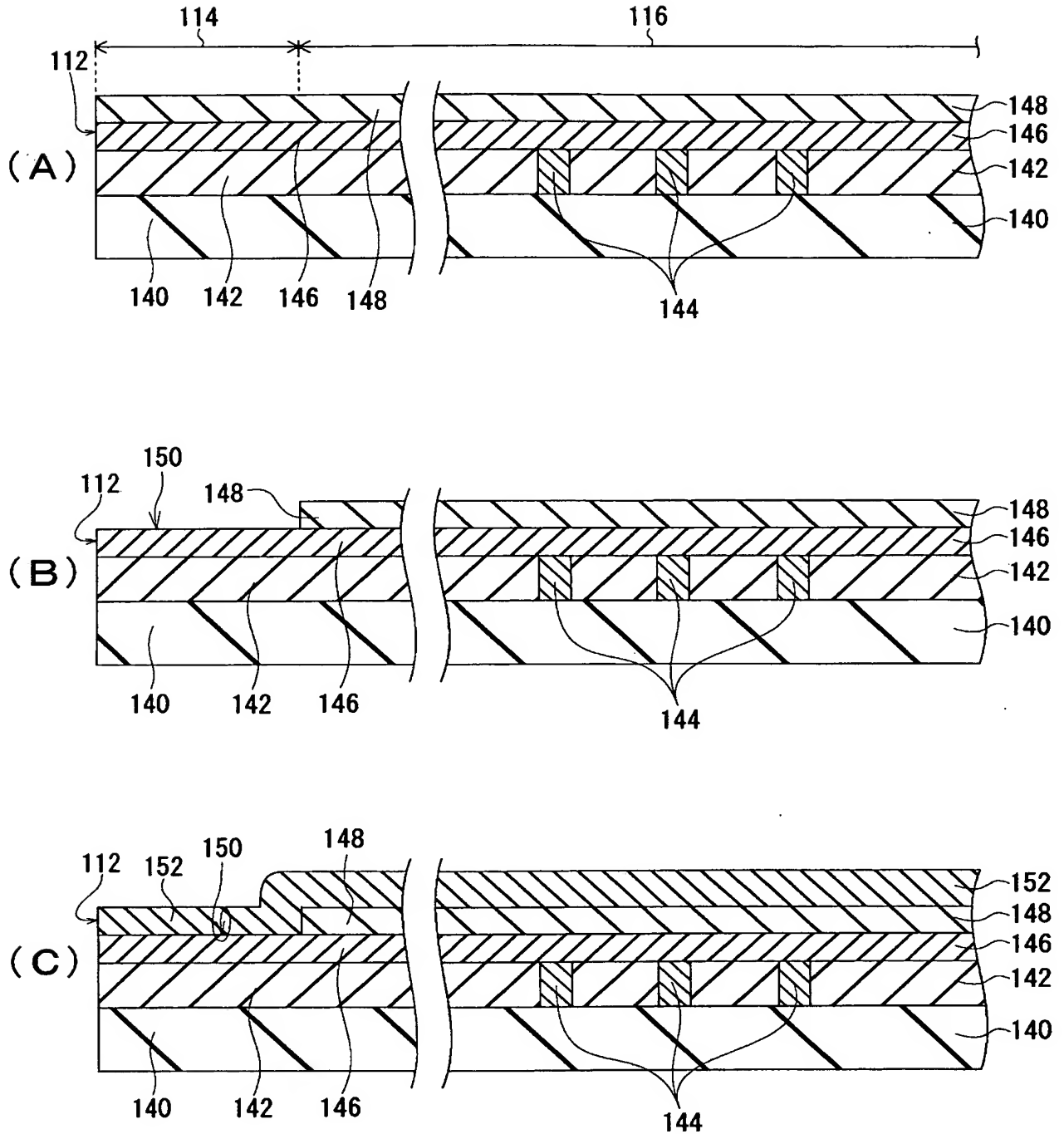


124: 素子間分離領域
130: コンタクト

126: ゲート絶縁膜 128: ゲート電極
132: スパッタリングによる電荷注入

スパッタリング中の電荷の移動の説明図

【図 5】



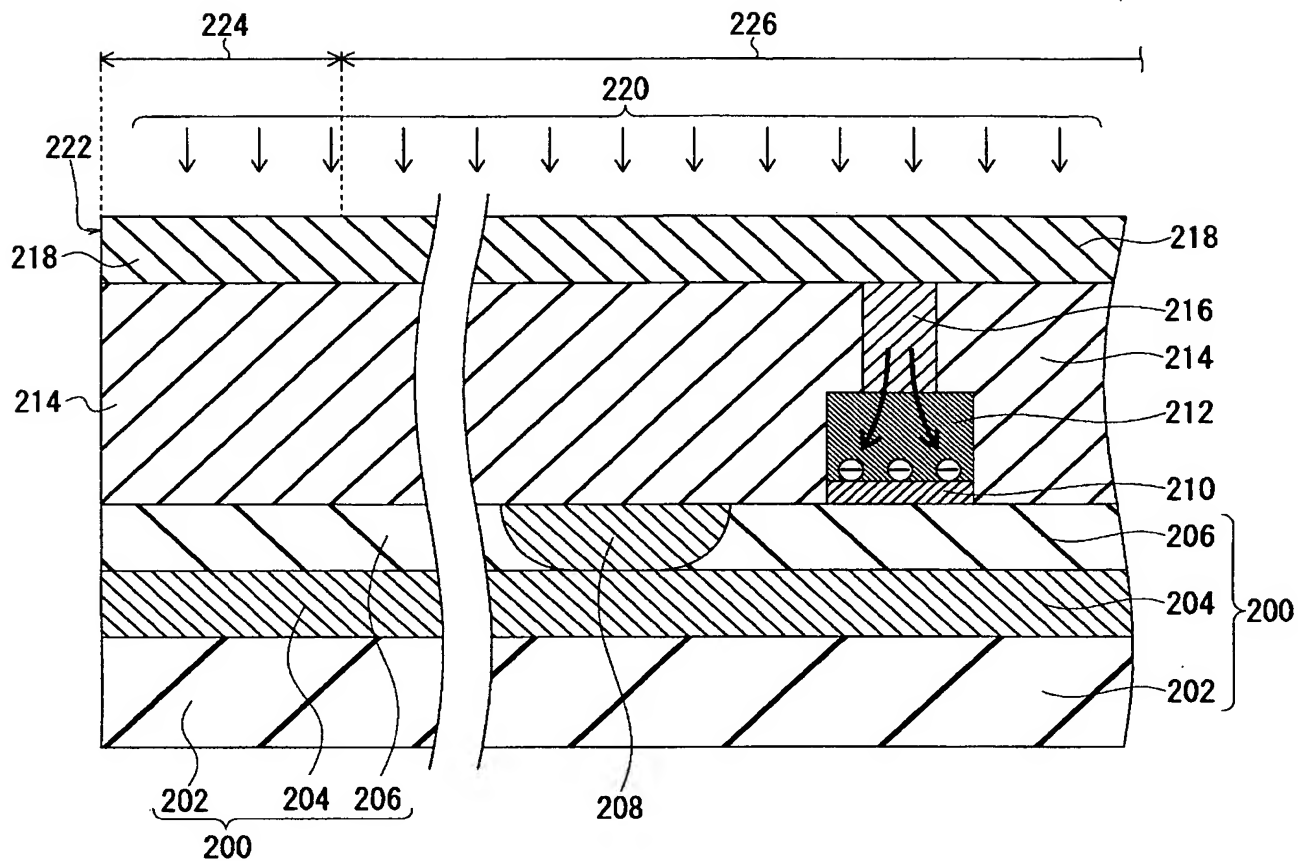
140: Siウエハ
146: 下部メタル層
152: 上部メタル層

142: 層間絶縁膜
148: 中間絶縁膜

144: コンタクト
150: エッジ表面領域

第2の実施の形態の製造工程

【図 6】




200: SOIウエハ
 206: SOI層
 212: ゲート電極
 218: 導電層
 222: ウエハエッジ

202: Si 支持基板
 208: 素子間分離領域
 214: 層間絶縁膜
 220: スパッタリングによる電荷注入
 224: ウエハエッジ領域

204: BOX酸化膜
 210: ゲート絶縁膜
 216: コンタクト
 226: デバイス形成領域

従来の製造工程の説明図



【書類名】 要約書

【要約】

【課題】 スパッタリングをおこなう際に生じる半導体装置への電荷の蓄積を軽減する。

【解決手段】 ウエハエッジ領域を露出するように形成したレジストパターン 1 1 0 a を用いて、ドライエッチングにより S i 支持基板 1 0 2 のエッジ表面領域 1 2 0 を露出させる。次いで、スパッタリングにより、後のパターニングで配線となる導電層を形成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 2 4 1 2 7
受付番号	5 0 3 0 1 5 3 3 6 0 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 9 月 1 8 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 9 月 1 7 日
-------	--------------------

特願 2 0 0 3 - 3 2 4 1 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社